

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-297291

(43)公開日 平成7年(1995)11月10日

(51)Int.Cl.⁹

H 01 L 21/82
21/8249
27/06

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 21/ 82 A
27/ 06 3 2 1 J
審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21)出願番号

特願平6-89025

(22)出願日

平成6年(1994)4月27日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 端 栄三

神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内

(72)発明者 青山 和明

神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内

(72)発明者 中村 浩之

神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内

(74)代理人 弁理士 筒井 大和

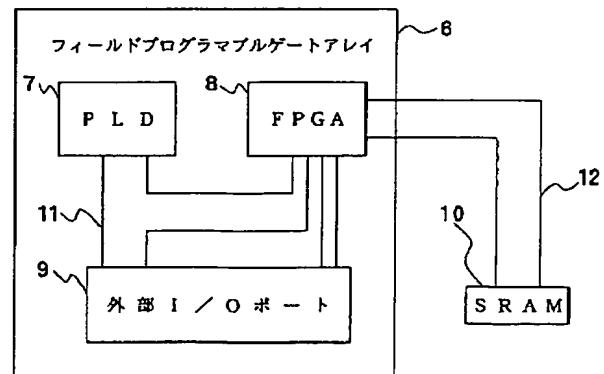
(54)【発明の名称】 フィールドプログラマブルゲートアレイ

(57)【要約】

【目的】 高速回路を含んだ大規模な論理を、1チップ
で実現する。

【構成】 アンチヒューズを使用してプログラミングが
行われる1回書き込み型の構造の比較的小規模な第1論
理ブロック7 (P L D) と、S R A M等のメモリ素子1
0を使用して繰り返しプログラミングが可能な大規模な
第2論理ブロック8 (F P G A) とを内部配線11を介
して相互に接続するとともに、外部I/Oポート9を介
して外部との間における論理信号等の入出力が行われる
ようにした1チップ構成のフィールドプログラマブルゲ
ートアレイ6である。

図 1



7:第1論理ブロック

8:第2論理ブロック

10:メモリ素子

11:内部配線

12:外部配線

(2)

【特許請求の範囲】

【請求項 1】 アンチ・ヒューズを用いてプログラミングされる1回書き込み型の第1論理ブロックと、書き替えまたは交換可能な記憶素子を用いてプログラミングされる書き換え可能型の第2論理ブロックとからなることを特徴とするフィールドプログラマブルゲートアレイ。

【請求項 2】 前記第1論理ブロックには高速動作が必要な定形回路を割当て、前記第2論理ブロックには、比較的低速で大規模な論理を必要とする多様な論理回路を割り当てる特徴とする請求項1記載のフィールドプログラマブルゲートアレイ。

【請求項 3】 前記第1論理ブロックおよび第2論理ブロックを積層してなることを特徴とする請求項1または2記載のフィールドプログラマブルゲートアレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フィールドプログラマブルゲートアレイに関し、特に、高速・大規模化に対応したフィールドプログラマブルゲートアレイに関する。

【0002】

【従来の技術】 たとえば、日経マグロウヒル社、1993年11月22日発行、「日経エレクトロニクスNo.595」P85～P104等の文献にも記載されているように、従来は、アンチヒューズを使ってプログラミングされる構造のPLDタイプのプログラマブルゲートアレイは、配線経路の遅延時間を抑制できるため高速であるが小規模でかつ書き換え不可能であった。一方、SRAM等を用いてプログラミングされるFPGAタイプのプログラマブルゲートアレイは、大規模な論理を書き換え可能に構築できるが、外部のSRAM等からロードされたパターンを参照しながら配線経路が決定されるため、配線遅延が比較的大きくなり、低速であった。

【0003】

【発明が解決しようとする課題】 前述した従来技術では、高速回路を含んだ大規模な論理を、1チップのプログラマブルゲートアレイで実現できない。このため、高速回路を含んだ大規模な論理を実現するためには、図8のように、高速論理用のPLD2とSRAM4によってプログラミングされる大規模論理用FPGA3の合計2チップをプリント基板1上に配置する構成となり、大きなプリント基板1の実装面積を要するという問題があつた。

【0004】 たとえば、最近では、パソコンコンピュータやワープロシステム、ワークステーション等の小型化に伴って、オプションのフォント等のデータやソフトウェア等を、いわゆるICカード状の形態で供給することが行われているが、このようなICカード等の開発や試作の段階において、前述のような従来の複数チップ構成のプログラマブルゲートアレイを用いたのでは、実使状態と同じコンパクトな試作形態を実現することが困難

となるという問題を生じる。

【0005】 本発明の目的は、高速回路を含んだ大規模な論理を、1チップで実現することが可能なフィールドプログラマブルゲートアレイを提供することにある。

【0006】

【課題を解決するための手段】 本発明のフィールドプログラマブルゲートアレイは、1チップに、アンチヒューズを使う構造のPLDタイプの第1論理ブロックと、書き替え可能なメモリ素子によってプログラミングされるFPGAタイプの第2論理ブロックとを混在させることによって、高速回路を含んだ大規模な論理を、1チップで実現したものである。

【0007】 また、チップ構造としては、たとえば、多層構造を採用することによって、前述の2種の構造を1チップで実現する。

【0008】

【作用】 高速論理用として第1論理ブロックを割当て、それ以外は、SRAM等の書き替え可能なメモリ素子を使う第2論理ブロックを使用しているので、大部分の論理は何回も書き換え可能になる。このため、たとえば、基本クロック回路等のように、高速性を要求されるが、小規模で、回路を構成するロジックは既定の良く知られたものを採用することができるため、デバッグがほとんど不要な回路ブロックをアンチ・ヒューズを用いてプログラミングされる1回書き込み型の第1論理ブロックで構成し、一方、用途等に応じて多様かつ大規模なロジックが必要となる回路ブロックを、簡単かつ繰り返しデバッグが可能な、書き換え可能型の第2論理ブロックに割り当てることで、高速回路を含んだ大規模な論理を、1チップで実現することができる。

【0009】

【実施例】 以下、本発明の実施例を図面に基づいて詳細に説明する。

【0010】 図1は、本発明の一実施例であるフィールドプログラマブルゲートアレイの構成の一例を示す概念図である。本実施例のフィールドプログラマブルゲートアレイ6は、アンチヒューズを使用してプログラミングが行われる構造の第1論理ブロック7(PLD)とSRAMやEEPROM、EPROM等のメモリ素子10を使用してプログラミングが行われる第2論理ブロック8(FPGA)とを1チップで構成している。第1論理ブロック7および第2論理ブロック8は内部配線11を介して相互に接続されているとともに、外部I/Oポート9を介して、外部との間における論理信号等の入出力が行われる。また、第2論理ブロック8は、外部配線12を介して外部のSRAM等のメモリ素子10に接続されている。

【0011】 図2は、本実施例におけるフィールドプログラマブルゲートアレイを実現するLSIの構成の一例を示す概念図である。本実施例のフィールドプログラマ

(3)

3

ブルゲートアレイ 6 の L S I 構造 1 3 は、外部 I / O ポート 9 が配置される外部 I / O 層 1 4 、第 1 論理ブロック 7 が配置される P L D 層 1 5 、内部配線 1 1 や外部配線 1 2 の一部が配置される配線層 1 6 、第 2 論理ブロック 8 が配置される F P G A 層 1 7 を含んでいる。

【0012】図 3 は、外部 I / O 層 1 4 の構成の一例を示す概念図である。この外部 I / O 層 1 4 では、外部 I / O ポート 9 に対して、第 1 論理ブロック 7 の P L D I / O ポート 7 b および第 2 論理ブロック 8 の F P G A I / O ポート 8 b を配線 1 4 a を介して接続することにより、信号の入出力を行う。

【0013】図 4 は、P L D 層 1 5 の構成の一例を示す概念図である。この P L D 層 1 5 は、第 1 論理ブロック 7 を構成する P L D 論理部 7 a 、 P L D I / O ポート 7 b および P L D 配線ポート 7 c を含んでいる。そして、 P L D 論理部 7 a と P L D I / O ポート 7 b とを配線 1 5 a を介して接続することにより、外部信号の入出力を行う。また、 P L D 論理部 7 a と P L D 配線ポート 7 c とを配線 1 5 a を介して接続することにより、第 1 論理ブロック 7 と第 2 論理ブロック 8 との間の信号の入出力を行う。

【0014】P L D 論理部 7 a は、たとえば AND アレイと OR アレイとを、アンチ・ヒューズを介して組み合わせて数千ゲート程度の論理を構成するとともに、外部から P L D I / O ポート 7 b を介してアンチ・ヒューズを操作することにより、1 回だけ、所望の論理構成となるようにプログラミングすることが可能となっている。固定的にプログラミングされるアンチ・ヒューズを用いるため、 P L D 論理部 7 a では高速な論理動作を行うことができる。

【0015】図 5 は、配線層 1 6 の構成を示す概念図である。この配線層 1 6 では、配線部 2 0 と P L D 配線ポート 7 c および F P G A 配線ポート 8 c とを配線 1 6 a および配線 1 6 b を介して接続することにより、第 2 論理ブロック 8 の信号と第 1 論理ブロック 7 の信号を接続する。配線部 2 0 は、スイッチマトリクス 2 2 および配線部配線 2 1 を用いて第 1 論理ブロック 7 の側の配線 1 6 a と、第 2 論理ブロック 8 の側の配線 1 6 b との結線状態を、用途に応じて随意に設定する。

【0016】図 6 は、F P G A 層 1 7 の構成の一例を示す概念図である。この F P G A 層 1 7 は、第 2 論理ブロック 8 を構成する F P G A 論理部 8 a 、 F P G A I / O ポート 8 b および F P G A 配線ポート 8 c を含んでいる。そして、 F P G A 論理部 8 a と F P G A I / O ポート 8 b とを配線 1 7 a を介して接続することにより、外部信号の入出力を行う。 F P G A 論理部 8 a と F P G A 配線ポート 8 c とを配線 1 7 a を介して接続することにより、第 1 論理ブロック 7 と第 2 論理ブロック 8 との間の信号の入出力を行う。

【0017】特に図示しないが、 F P G A 論理部 8 a

4

は、たとえば組み合わせ回路と D フリップフロップ等からなる数十ゲート規模の単位論理ブロックをプログラム可能な配線構造によって接続することにより、たとえば 1 万ゲート以上の大規模な論理を構築することが可能となっている。単位論理ブロックを接続する配線構造のプログラミングは、外部のメモリ素子 1 0 からロードされるビットパターン等によって随時、何度も繰り返し行うことが可能である。

【0018】以下、本実施例のフィールドプログラマブルゲートアレイの作用の一例を説明する。図 7 は本実施例のフィールドプログラマブルゲートアレイのプログラミングの過程の一例を示すフローチャートである。

【0019】本実施例の場合には、たとえば基本クロック回路等の高速論理を第 1 論理ブロック 7 をアンチ・ヒューズを用いてプログラミングすることによって構築し、一方、高速論理以外の、用途に応じた多様な論理を、書き替え可能なメモリ素子 1 0 をプログラミングすることによって第 2 論理ブロック 8 に変更可能に構築することにより、高速・大規模なフィールドプログラマブルゲートアレイ 6 を実現する。第 2 論理ブロック 8 の論理の書き替えは、メモリ素子 1 0 を所望の状態にプログラミングされたものに取り替えることによって行ってもよいし、外部 I / O ポート 9 を介してメモリ素子 1 0 の内容を変更することによって行ってもよい。

【0020】すなわち、まず、第 1 論理ブロック 7 に対して、外部 I / O ポート 9 を介して、たとえば、高電圧等を印加することにより、当該第 1 論理ブロック 7 の内部に設けられたアンチ・ヒューズ構造を操作して、基本クロック発生回路等の所望の論理を構築する（ステップ 1 0 0）。このアンチ・ヒューズの操作によるプログラミングは、以後、書き替えが不能となるが、たとえば、高速性が必要とされ、汎用的に用いられる基本クロック回路等、デバッグがほとんど不要な回路ブロックを当該第 1 論理ブロック 7 に割り当てることにより、不都合が生じることはない。

【0021】この場合、アンチ・ヒューズ構造としては、たとえば、低インピーダンスの配線構造の一部の溶断や加熱変質等によって高インピーダンス化を達成する構造、および、配線間の薄い絶縁膜によって元は高インピーダンスだったものを、当該絶縁膜の絶縁破壊によって低インピーダンス化することにより、目的の配線間を接続する構造、のいずれでもよい。

【0022】次に、第 2 論理ブロック 8 およびスイッチマトリクス 2 2 のプログラミングを行う。本実施例の場合には、たとえば S R A M などからなる書き替え可能なメモリ素子 1 0 の内容を書き替えることにより、フィールドプログラマブルゲートアレイ 6 の用途に応じた第 2 論理ブロック 8 の内部に 6 における所望の論理の構築、およびスイッチマトリクス 2 2 における結線状態の設定を行う（ステップ 2 0 0）。

(4)

5

【0023】なお、メモリ素子10の書き替えは、外部I/Oポート9を介して、当該メモリ素子10をフィールドプログラマブルゲートアレイ6に接続したままで行ってもよいし、あるいは、メモリ素子10を、他の状態にプログラミングされたものに交換することによって行ってもよい。

【0024】その後、外部I/Oポート9を介してテスト信号等の入出力をを行うことにより、フィールドプログラマブルゲートアレイ6の全体の動作、あるいは、第2論理ブロック8の局部的な動作等を確認する（ステップ300）。

【0025】そして、目的の論理動作が正常に行われない場合には、メモリ素子10の内容の不具合を突き止めるデバッグ操作を実行し（ステップ400）、ステップ200に戻って、メモリ素子10の内容の書き替えによる第2論理ブロック8およびスイッチマトリクス22のプログラミングを再度実行する。

【0026】この操作を、フィールドプログラマブルゲートアレイ6の全体の動作が目的の論理動作を正常に行うようになるまで繰り返す。

【0027】このように、本実施例のフィールドプログラマブルゲートアレイ6によれば、アンチ・ヒューズの操作による1回書き込み型の第1論理ブロック7と、SRAM等のメモリ素子10を用いる書き替え可能な第2論理ブロック8とを1チップに集積した構成であるため、高速回路を含んだ大規模な論理をコンパクトに実現することができる。

【0028】これにより、たとえば、コンピュータシステムの周辺機器として用いられるICカード等のようなカード状のデバイスの開発過程において、実使用状態と同じ寸法形状のデバイスを、開発現場にて簡便に試作することが可能となり、開発工程の効率化を実現できる。

【0029】

6

【発明の効果】本発明のフィールドプログラマブルゲートアレイによれば、高速回路を含んだ大規模な論理を、1チップで実現することができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例であるフィールドプログラマブルゲートアレイの構成の一例を示す概念図である。

【図2】本発明の一実施例であるフィールドプログラマブルゲートアレイを実現するLSI構造の一例を示す概念図である。

【図3】外部I/O層の構成の一例を示す概念図である。

【図4】PLD層の構成の一例を示す概念図である。

【図5】配線層の構成の一例を示す概念図である。

【図6】FPGA層の構成一例を示す概念図である。

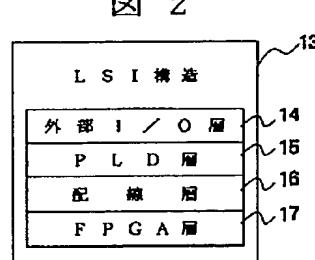
【図7】本発明の一実施例であるフィールドプログラマブルゲートアレイのプログラミングの過程の一例を示すフローチャートである。

【図8】従来のプログラマブルゲートアレイの構成の一例を示す概念図である。

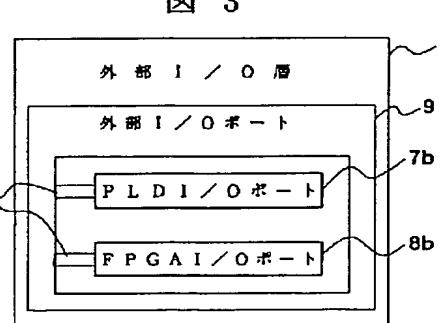
【符号の説明】

6…フィールドプログラマブルゲートアレイ、7…第1論理ブロック（PLD）、7a…PLD論理部、7b…PLDI/Oポート、7c…PLD配線ポート、8…第2論理ブロック（FPGA）、8a…FPGA論理部、8b…FPGAI/Oポート、8c…FPGA配線ポート、9…外部I/Oポート、10…メモリ素子、11…内部配線、12…外部配線、13…LSI構造、14…外部I/O層、14a…配線、15…PLD層、15a…配線、16…配線層、16a…配線、16b…配線、17…FPGA層、17a…配線、20…配線部、21…配線部配線、22…スイッチマトリクス

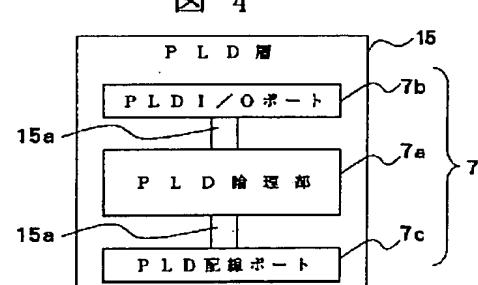
【図2】



【図3】



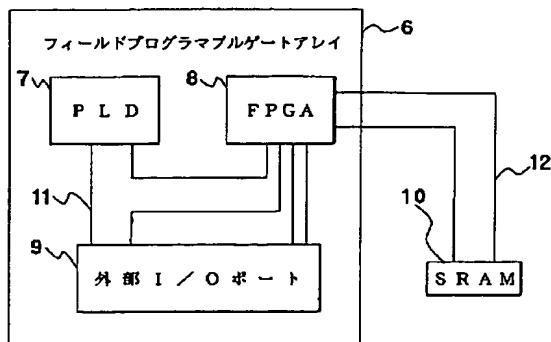
【図4】



(5)

【図1】

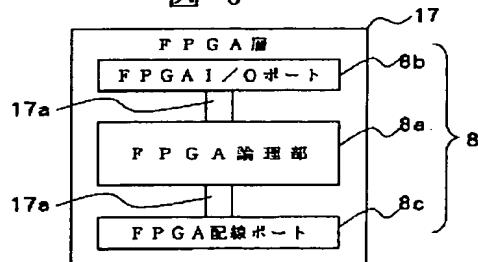
図 1



7:第1論理ブロック
8:第2論理ブロック
10:メモリ素子
11:内部配線
12:外部配線

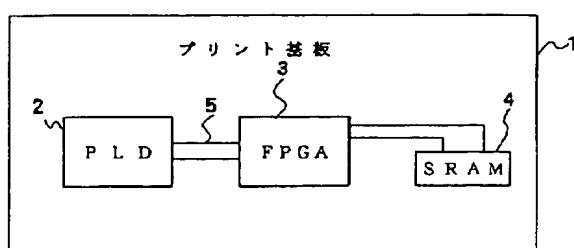
【図6】

図 6



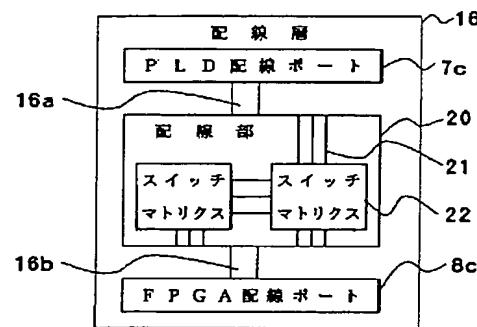
【図8】

図 8



【図5】

図 5



【図7】

図 7

